

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267416

(43)Date of publication of application : 28.09.2001

(51)Int.Cl. H01L 21/76
H01L 27/08
H01L 29/78

(21)Application number : 2000-073857 (71)Applicant : TOSHIBA CORP

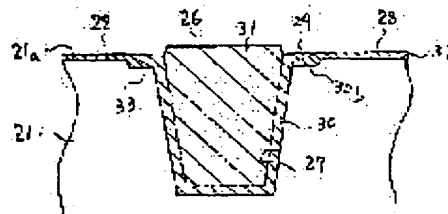
(22)Date of filing : 16.03.2000 (72)Inventor : IGARASHI HIDEKI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device that prevents the threshold of the gate voltage of a transistor from being decreased even if scale-down is made, and can reduce the fluctuation.

SOLUTION: In this manufacturing method of the semiconductor device, a trench 27 for element separation is provided on an Si substrate 21 by scraping, the trench 27 is buried by a fourth SiO₂ film 31 for element separation for forming an element separation region 26 to divide an element formation region 28 on the Si substrate 21, and at the same time an ion is implanted in the divided element formation region 28 via an oxide film that is formed on an upper surface. In



21...Si基板 26...素子分離領域 27...ドレンナ
28...素子形成領域 30...第3のSiO₂膜 30b...側状部
31...第4のSiO₂膜 32...第5のSiO₂膜 33...溝縁部

this case, the thickness of the oxide film is set to a collar-shaped part 30b consisting of a third SiO₂ film 30 that is formed on the inside wall of the trench 27 and partially left over and a fifth SiO₂ film 32 at a circumferential end 33 of the element formation region 26 in contact with the trench 27, and is set thicker than an internal part that is composed simply by the fifth SiO₂ film 32.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-267416

(P2001-267416A)

(43)公開日 平成13年9月28日(2001.9.28)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/76		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
27/08	3 3 1	21/76	L 5 F 0 4 0
29/78		29/78	3 0 1 R 5 F 0 4 8

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21)出願番号 特願2000-73857(P2000-73857)

(22)出願日 平成12年3月16日(2000.3.16)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 五十嵐 秀樹

大分県大分市大字松岡3500番地 株式会社
東芝大分工場内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

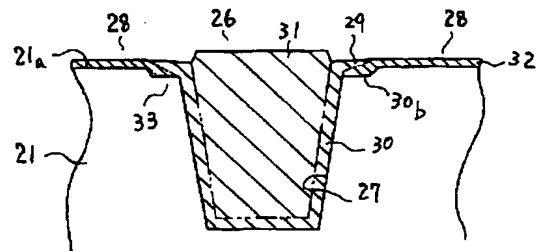
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 微細化を行った際でもトランジスタのゲート電圧の閾値が低下せず、そのばらつきを少なくすることができる半導体装置の製造方法を提供する。

【解決手段】 Si基板21に素子分離用のトレンチ27を削設した後、該トレンチ27を素子分離用の第4のSiO₂膜31により埋め尽くして素子分離領域26を形成しSi基板21に素子形成領域28を区画すると共に、区画された素子形成領域28に上面に形成した酸化膜を介してイオン注入を行う過程を有する半導体装置の製造方法で、酸化膜の膜厚を、トレンチ27に接する素子形成領域26の周縁端部分33ではトレンチ27の内側壁に形成して一部残存させた第3のSiO₂膜30と第5のSiO₂膜32とでなる鍔状部30bとし、第5のSiO₂膜32だけで構成するようにした内方部分より厚くする。



21…Si基板 26…素子分離領域 27…トレンチ
 28…素子形成領域 30…第3のSiO₂膜 30b…鍔状部
 31…第4のSiO₂膜 32…第5のSiO₂膜 33…周縁端部分

【特許請求の範囲】

【請求項1】 シリコン基板に素子分離用のトレンチを削設した後、該トレンチを素子分離絶縁膜により埋め尽くして素子分離領域を形成し前記シリコン基板に素子形成領域を区画すると共に、区画された前記素子形成領域に上面に形成した酸化膜を介してイオン注入を行う過程を有する半導体装置の製造方法において、前記酸化膜は、前記トレンチに接する前記素子形成領域の周縁端部分の膜厚が内方部分の膜厚より厚く形成されていることを特徴とする半導体装置の製造方法。

【請求項2】 シリコン基板の一主面上に第1の二酸化シリコン膜を熱酸化により形成した後、前記第1の二酸化シリコン膜の上面に窒化シリコン膜を堆積し、さらに前記窒化シリコン膜の上面に第2の二酸化シリコン膜を堆積する工程と、前記第2の二酸化シリコン膜、窒化シリコン膜、第1の二酸化シリコン膜をエッチング処理して開口しトレンチ形成用開口を前記シリコン基板上に形成する工程と、前記トレンチ形成用開口を用いたエッチング処理により素子形成領域を区画する素子分離用のトレンチを前記シリコン基板に形成し、その後に該トレンチ周縁部分に露出する前記第1の二酸化シリコン膜を等方性エッチング処理により所定位置までサイドエッチングする工程と、前記トレンチの内側壁面及び該トレンチ周縁部分にサイドエッチングにより露出した前記シリコン基板上面に熱酸化により所定膜厚の第3の二酸化シリコン膜を形成する工程と、前記第3の二酸化シリコン膜が形成されたトレンチ内を素子分離用の第4の二酸化シリコン膜によって埋め込んだ後に、前記窒化シリコン膜の上面が露出した平坦面を形成するよう加工し、さらに前記第1の二酸化シリコン膜と前記トレンチ周縁部分の前記第3の二酸化シリコン膜とが露出するよう前記窒化シリコン膜を除去する工程と、露出した前記第1の二酸化シリコン膜と前記第3の二酸化シリコン膜とを、該第3の二酸化シリコン膜が所定厚さ残存するように除去してから熱酸化により前記シリコン基板の素子形成領域上面に第5の二酸化シリコン膜を形成する工程と、前記第5の二酸化シリコン膜を介して前記シリコン基板の素子形成領域にイオン注入する工程とを備えてなり、かつ前記トレンチ周縁部分の前記第1の二酸化シリコン膜を所定位置までサイドエッチングする工程でのサイドエッチング量が、続く工程で形成する前記第3の二酸化シリコン膜の膜厚寸法よりも大きくなるようにしたことを特徴とする半導体装置の製造方法。

【請求項3】 第1の二酸化シリコン膜と第3の二酸化シリコン膜とを、該第3の二酸化シリコン膜が所定厚さ残存するように除去し、第5の二酸化シリコン膜を形成する工程で、前記第3の二酸化シリコン膜の残存膜厚を1nm以上としたことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 シリコン基板の一主面に第1の二酸化シ

リコン膜を熱酸化により形成した後、前記第1の二酸化シリコン膜の上面に窒化シリコン膜を堆積し、さらに前記窒化シリコン膜の上面に第2の二酸化シリコン膜を堆積する工程と、前記第2の二酸化シリコン膜、窒化シリコン膜、第1の二酸化シリコン膜をエッチング処理して開口しトレンチ形成用開口を前記シリコン基板上に形成する工程と、前記トレンチ形成用開口を用いたエッチング処理により素子形成領域を区画する素子分離用のトレンチを前記シリコン基板に形成し、その後に該トレンチ周縁部分に露出する前記第1の二酸化シリコン膜を等方性エッチング処理により所定位置までサイドエッチングする工程と、前記トレンチの内側壁面及び該トレンチ周縁部分にサイドエッチングにより露出した前記シリコン基板上面に熱酸化により所定膜厚の第3の二酸化シリコン膜を形成する工程と、前記第3の二酸化シリコン膜が形成されたトレンチ内を素子分離用の第4の二酸化シリコン膜によって埋め込んだ後に、前記窒化シリコン膜の上面が露出した平坦面を形成するよう加工し、さらに前記第1の二酸化シリコン膜と前記トレンチ周縁部分の前記第3の二酸化シリコン膜とが露出するよう前記窒化シリコン膜を除去する工程とを備えてなり、かつ前記トレンチ周縁部分の前記第1の二酸化シリコン膜を所定位置までサイドエッチングする工程でのサイドエッチング量が、続く工程で形成する前記第3の二酸化シリコン膜の膜厚寸法よりも大きくなるようにしたことを特徴とする半導体装置の製造方法。

【請求項5】 第1の二酸化シリコン膜のサイドエッチング量を、第3の二酸化シリコン膜の膜厚寸法よりも50%以上大きくしたことを特徴とする請求項2あるいは請求項4記載の半導体装置の製造方法。

【請求項6】 トレンチ周縁部分に露出するシリコン基板上面に形成する第3の二酸化シリコン膜の膜厚寸法が、第1の二酸化シリコン膜の膜厚寸法よりも1nm以上大きいことを特徴とする請求項2あるいは請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、素子分離用トレンチを設けて素子間分離を行った半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来、素子間分離にSTI (Shallow Trench Isolation) 構造をとる半導体装置、例えばMOSFETでは、素子形成領域を基板に設けた素子分離用のトレンチにより区画するようにして形成され、その製造工程は、各工程における要部の断面図を図11乃至図15に順に示す通りのものとなっている。

【0003】 先ず、図11に示す第1の工程において、Bareシリコン (Si) 基板1の上面1aに熱酸化法

により第1の二酸化シリコン (SiO_2) 膜2を形成する。続いて第1の SiO_2 膜2の上面に、CVD (Chemical Vapour Deposition) 法により窒化シリコン (SiN) 膜3を堆積し、さらにCVD法により SiN 膜3の上面に第2の SiO_2 膜4を堆積する。そして、所定パターンのマスクを第2の SiO_2 膜4上に形成し、RIE (Reactive Ion Etching) によって第2の SiO_2 膜4、 SiN 膜3、第1の SiO_2 膜2をエッチングして、 Si 基板1の上面1aが内底面に露出するトレンチ形成用開口5を素子分離領域6に形成する。その後、トレンチ形成用開口5を用いたRIEにより Si 基板1をエッチングし素子分離用のトレンチ7を形成して、素子形成領域8を区画形成する。

【0004】次に、図12に示す第2の工程において、 SiO_2 系の等方性エッチングを行い、 SiN 膜3上の第2の SiO_2 膜4の膜厚を所定厚までエッチングする。この際、同時にトレンチ7の内周縁部分に露出する第1の SiO_2 膜2はサイドエッチングされ、トレンチ7の周縁に形成されたサイドエッチング部分9に Si 基板1の上面1aが一部露出する。

【0005】次に、図13に示す第3の工程において、熱酸化法によりトレンチ7の内側壁面に所定膜厚の第3の SiO_2 膜10を形成する。これにより、サイドエッチング部分9も第3の SiO_2 膜10により埋め尽くされ、露出していた Si 基板1の上面1aも第3の SiO_2 膜10に吸収された状態となる。続いて、第3の SiO_2 膜10が形成されたトレンチ7内を、素子分離を行うための絶縁膜として第4の SiO_2 膜11をCVD法により堆積させて埋め尽くす。その後、CMP (Chemical Mechanical Polishing) 技術を用いて第4の SiO_2 膜11、第2の SiO_2 膜4を SiN 膜3の上面が露出するまで研磨し、素子分離領域6のトレンチ7部分における第4の SiO_2 膜11の Si 基板1の上面1aに対する高さが所要高さとなるよう調整する。

【0006】次に、図14に示す第4の工程において、エッチング速度が SiO_2 膜に対しては非常に遅く、 SiN 膜に対しては非常に早いエッチング技術を用いて第1の SiO_2 膜2上の SiN 膜3を除去する。

【0007】次に、図15に示す第5の工程において、 SiO_2 系の等方性エッチングによって第1の SiO_2 膜2を除去する。この際、第4の SiO_2 膜11の上面もエッチングされ、 Si 基板1の上面1aに対する高さが低くなる。そして、再び熱酸化法により第5の SiO_2 膜12を Si 基板1の上面1aに形成してから、素子形成領域8の Si 基板1の上部に、第5の SiO_2 膜12を介して所定のイオンを注入し、所定不純物濃度の素子形成領域8を形成する。

【0008】その後、図16に拡大して示す部分断面図

の通り、第5の SiO_2 膜12をエッチングにより除去し、熱酸化によりゲート酸化膜13を活性化領域である素子形成領域8の Si 基板1の露出した表面に形成する。さらに図示しないがドレインを形成し、またゲートポリシリコン膜14等を積層することによりMOSFETを形成する。

【0009】しかしながら上記の従来技術において形成されたMOSFETでは、装置小型化のために微細化を進めていった際に、トランジスタのゲート電圧の閾値が低下すると共に、例えば同一半導体チップ内に種々のセル形状を形成するようにした装置ではゲート電圧の閾値がばらついたものとなり、所要の特性を得ようとするのが非常に困難なものとなっていた。

【0010】このため、ゲート電圧の閾値の低下とそのばらつきの原因について調査したところ、トランジスタの活性化領域である素子形成領域8の素子分離領域6のトレンチ7部分に接する端部部分15において、図16に示すように第5の SiO_2 膜12をエッチングによって除去することにより角が露出したものとなり、そのR断面形状となった Si 基板1の端部部位を包むようにゲート酸化膜13が形成され、これによりゲートポリシリコン膜14からの電界集中が、矢印Eで示すように生じて寄生トランジスタが形成される。そして微細化のためにセルデザインを縮小して素子形成領域8の幅を小さくすると、ゲート電圧の閾値が低い寄生トランジスタの影響が大きくなり、MOSFETにおいてはゲート電圧の閾値が低下する逆ナローチャネル効果(RNCE)が起こると共に、ゲート電圧の閾値がばらついたものとなる。

【0011】

【発明が解決しようとする課題】上記のような状況に鑑みて本発明はなされたもので、その目的とするところは、微細化を行ってもトランジスタのゲート電圧の閾値の低下を抑制することができると共に、ゲート電圧の閾値のばらつきを少なくすることができ、所要の特性を得ることが困難なものとならない半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、シリコン基板に素子分離用のトレンチを削設した後、該トレンチを素子分離絶縁膜により埋め尽くして素子分離領域を形成しシリコン基板に素子形成領域を区画すると共に、区画された素子形成領域に上面に形成した酸化膜を介してイオン注入を行う過程を有する半導体装置の製造方法において、酸化膜は、トレンチに接する素子形成領域の周縁端部分の膜厚が内方部分の膜厚より厚く形成されていることを特徴とする製造方法であり、また、シリコン基板の一主面上に第1の二酸化シリコン膜を熱酸化により形成した後、第1の二酸化シリコン膜の上面に窒化シリコン膜を堆積し、さらに窒化シリコン膜の上面に第2の二酸化シリコン膜を堆積する工程

と、第2の二酸化シリコン膜、窒化シリコン膜、第1の二酸化シリコン膜をエッチング処理して開口しトレンチ形成用開口をシリコン基板上に形成する工程と、トレンチ形成用開口を用いたエッチング処理により素子形成領域を区画する素子分離用のトレンチをシリコン基板上に形成し、その後に該トレンチ周縁部分に露出する第1の二酸化シリコン膜を等方性エッチング処理により所定位置までサイドエッチングする工程と、トレンチの内側壁面及び該トレンチ周縁部分にサイドエッチングにより露出したシリコン基板上面に熱酸化により所定膜厚の第3の二酸化シリコン膜を形成する工程と、第3の二酸化シリコン膜が形成されたトレンチ内を素子分離用の第4の二酸化シリコン膜によって埋め込んだ後に、窒化シリコン膜の上面が露出した平坦面を形成するよう加工し、さらに第1の二酸化シリコン膜とトレンチ周縁部分の第3の二酸化シリコン膜とが露出するよう窒化シリコン膜を除去する工程と、露出した第1の二酸化シリコン膜と第3の二酸化シリコン膜とを、該第3の二酸化シリコン膜が所定厚さ残存するように除去してから熱酸化によりシリコン基板の素子形成領域上面に第5の二酸化シリコン膜を形成する工程と、第5の二酸化シリコン膜を介してシリコン基板の素子形成領域にイオン注入する工程とを備えてなり、かつトレンチ周縁部分の第1の二酸化シリコン膜を所定位置までサイドエッチングする工程でのサイドエッチング量が、続く工程で形成する第3の二酸化シリコン膜の膜厚寸法よりも大きくなるようにしたことを特徴とする製造方法であり、さらに、第1の二酸化シリコン膜と第3の二酸化シリコン膜とを、該第3の二酸化シリコン膜が所定厚さ残存するように除去し、第5の二酸化シリコン膜を形成する工程で、第3の二酸化シリコン膜の残存膜厚を1nm以上としたことを特徴とする製造方法であり、また、シリコン基板の一主面に第1の二酸化シリコン膜を熱酸化により形成した後、第1の二酸化シリコン膜の上面に窒化シリコン膜を堆積し、さらに窒化シリコン膜の上面に第2の二酸化シリコン膜を堆積する工程と、第2の二酸化シリコン膜、窒化シリコン膜、第1の二酸化シリコン膜をエッチング処理して開口しトレンチ形成用開口をシリコン基板上に形成する工程と、トレンチ形成用開口を用いたエッチング処理により素子形成領域を区画する素子分離用のトレンチをシリコン基板上に形成し、その後に該トレンチ周縁部分に露出する第1の二酸化シリコン膜を等方性エッチング処理により所定位置までサイドエッチングする工程と、トレンチの内側壁面及び該トレンチ周縁部分にサイドエッチングにより露出したシリコン基板上面に熱酸化により所定膜厚の第3の二酸化シリコン膜を形成する工程と、第3の二酸化シリコン膜が形成されたトレンチ内を素子分離用の第4の二酸化シリコン膜によって埋め込んだ後に、窒化シリコン膜の上面が露出した平坦面を形成するよう加工し、さらに第1の二酸化シリコン膜とトレンチ周縁部

分の第3の二酸化シリコン膜とが露出するよう窒化シリコン膜を除去する工程とを備えてなり、かつトレンチ周縁部分の第1の二酸化シリコン膜を所定位置までサイドエッチングする工程でのサイドエッチング量が、続く工程で形成する第3の二酸化シリコン膜の膜厚寸法よりも大きくなるようにしたことを特徴とする製造方法であり、さらに、第1の二酸化シリコン膜のサイドエッチング量を、第3の二酸化シリコン膜の膜厚寸法よりも50%以上大きくしたことを特徴とする製造方法であり、さらに、トレンチ周縁部分に露出するシリコン基板上面に形成する第3の二酸化シリコン膜の膜厚寸法が、第1の二酸化シリコン膜の膜厚寸法よりも1nm以上大きいことを特徴とする製造方法である。

【0013】

【発明の実施の形態】以下本発明の実施の形態を、図面を参照して説明する。

【0014】先ず、素子間分離にSTI (Shallow Trench Isolation) 構造をとるMOSFETの第1の実施形態を図1乃至図8により説明する。図1乃至図8は各製造工程における要部の断面図である。

【0015】そして、製造工程は次のようになる。すなわち、図1に示す第1の工程において、Bareシリコン(Si)基板21の鏡面研磨された上面21aに、約950℃の酸化雰囲気中にさらす熱酸化法により、膜厚が15nmの第1の二酸化シリコン(SiO₂)膜22を形成する。続いて第1のSiO₂膜22の上面上に、CVD (Chemical Vapour Deposition) 法により、膜厚が150nmの窒化シリコン(SiN)膜23を堆積し、さらにCVD法により、SiN膜23の上面上に膜厚が100nmの第2のSiO₂膜24を堆積する。

【0016】次に、図2に示す第2の工程において、フォトリソグラフィ技術を使って第2のSiO₂膜24上に図示しないフォトレジストによる所定パターンのマスクを形成する。そして、RIE (Reactive Ion Etching) によって第2のSiO₂膜24、SiN膜23、第1のSiO₂膜22をエッチングして、Si基板21の上面21aが内底面に露出するトレンチ形成用開口25を素子分離領域26に形成する。その後、フォトレジストを除去し、トレンチ形成用開口25が形成された第2のSiO₂膜24をマスクに用いたRIEによりSi基板21をエッチングし素子分離用のトレンチ27を形成して、素子形成領域28を区画形成する。

【0017】次に、図3に示す第3の工程において、SiO₂系の等方性エッチングを行い、SiN膜23上の第2のSiO₂膜24を膜厚が所定厚さとなるまでエッチングすると共に、Si基板21とSiN膜23に挟まれトレンチ27の内周縁部分に端面が露出する第1のS

SiO₂膜22を、熱酸化膜エッチング量換算で後述する第3のSiO₂膜30の膜厚の50%以上、例えば45nm相当のエッチングを行う。これによって、第3のSiO₂膜30の膜厚の50%以上の所定位置、すなわち45nmの深さXまで第1のSiO₂膜22をサイドエッチングし、トレンチ27の周縁に形成されたサイドエッチング部分29にSi基板21の上面21aを一部露出させる。なお、この時のサイドエッチングは、次の工程で第3のSiO₂膜30を形成した際に、その膜厚内にサイドエッチング部分29が埋もれてしまわない深さX寸法以上にまで行う。

【0018】次に、図4に示す第4の工程において、約950℃の酸化雰囲気中にさらす熱酸化法により、トレンチ27の内側壁面に所要の膜厚差が確実に設けられるように、第1のSiO₂膜22の膜厚よりも10%以上厚い、例えば膜厚が30nmの第3のSiO₂膜30を形成する。これによりサイドエッチング部分29にも、その内奥部位に膜厚が30nmの第3のSiO₂膜30が、Si基板21の上面21a部分に鍔状部30aとして面方向に張り出すように形成される。

【0019】次に、図5に示す第5の工程において、第3のSiO₂膜30が形成されたトレンチ27内を、素子分離を行うための絶縁膜として第4のSiO₂膜31をCVD法により堆積させて埋め尽くす。その後、SiN膜23をストップ膜としたCMP (Chemical Mechanical Polishing) 技術を用いて第4のSiO₂膜31、第2のSiO₂膜24をSiN膜23の上面が露出するまで研磨し、素子分離領域26のトレンチ27部分における第4のSiO₂膜31のSi基板21の上面21aに対する高さが所要高さとなるよう調整する。

【0020】次に、図6に示す第6の工程において、エッチング速度がSiO₂膜に対しては非常に遅く、SiN膜に対しては非常に早いエッチング技術、例えばCDE (Chemical Dry Etching) あるいは加熱したH₃PO₄によるウェットエッチング等を用いて第1のSiO₂膜22上のSiN膜23を除去する。このSiN膜23の除去後においても、Si基板21の上面21aに第1のSiO₂膜22が残存すると共に、トレンチ27周縁のサイドエッチング部分29の内奥部位に形成した第3のSiO₂膜30の鍔状部30aも残存したままとする。

【0021】次に、図7に示す第7の工程において、SiO₂系の等方性エッチングによってSi基板21の素子形成領域28の上面21aに残る第1のSiO₂膜2を除去する。この際のエッチングは、熱酸化膜エッチング量に換算して、例えば25nmとし、トレンチ27の外周縁部分に膜厚が1nm以上の第3のSiO₂膜30の鍔状部30aが残存するようにする。また、同時に第4のSiO₂膜31の上面もエッチングされ、Si基板

21の上面21aに対する高さが低くなる。

【0022】続いて、再び約950℃の酸化雰囲気中にさらす熱酸化法により、第1のSiO₂膜2を除去したSi基板21の素子形成領域28の上面21aに、第5のSiO₂膜32を膜厚が7.5nmとなるように形成する。これによりトレンチ27の外周縁部分には、第3のSiO₂膜30を残存させたことによって、Si基板21の素子形成領域28の内方部分上面21aよりも膜厚が厚いSiO₂膜となった第3のSiO₂膜30と第5のSiO₂膜32とでなる鍔状部30bが形成される。

【0023】そして、素子形成領域28のSi基板21の上部に、第5のSiO₂膜32を介し、例えばN型MOSFETではボロン、P型MOSFETではりんの所定のイオンを、それぞれボロンは20keV、りんは60keVの低加速度電圧によってイオン注入し、所定不純物濃度の素子形成領域28を形成する。これにより、トランジスタの活性化領域である素子形成領域28と素子分離領域26のトレンチ27部分とが接する素子形成領域28の周縁端部分33において、不純物濃度プロファイルのピークがSi基板21の上面方向にシフトしたものとなる。

【0024】その後、図8に示す第8の工程において、第5のSiO₂膜32をエッチングにより除去し、新たに熱酸化によってゲート酸化膜34を活性化領域である素子形成領域28のSi基板21の露出した表面に形成する。さらに図示しないがドレインを形成し、またゲートポリシリコン膜35等を積層することによりMOSFETを形成する。

【0025】そして、上記のようにして製造されたMOSFETでは、素子分離領域26のトレンチ27部分に接する素子形成領域28の周縁端部分33で、不純物濃度のピークがSi基板21の上面側に存在し、形成されるトランジスタのゲート電圧の閾値が上昇したものである。素子形成領域28の中央部側に比較して、周縁端部分33のゲート電圧の閾値が高いものとなる。

【0026】この結果、第5のSiO₂膜32を形成する際にトレンチ27の外周縁部分に残存させた第3のSiO₂膜30の残存膜厚を適宜に調整することで、周縁端部分33におけるゲート電圧の閾値を所要の値とすることができ、低閾値電圧の振る舞いを示す寄生トランジスタの効果を相殺低減することが可能となり、ゲート電圧の閾値の低下を抑制でき、そのばらつきを少なくすることができる。そして、MOSFET等における小型化のための微細化を進めていった際にも、所要の特性を得るのが比較的困難なものでなくなる。

【0027】次に、上記第1の実施形態と同様の、素子間分離にSTI構造をとるMOSFETの本発明の第2の実施形態を図9及び図10により説明する。図9及び図10は第1の実施形態における第4の工程に相当する

工程に続く第5及び第6の各製造工程における要部の断面図である。なお、第1の実施形態と略同様となる第1乃至第4の工程については図面を省略して概略を説明すると共に、同一部分には同一符号を付して説明を省略し、第1の実施形態と異なる本実施形態の構成について説明する。

【0028】そして、製造工程は次のようになる。すなわち、第1の工程において、Si基板21の上面21aに熱酸化法により膜厚が15nmの第1のSiO₂膜36を形成する。続いて第1のSiO₂膜36の上面上にCVD法により膜厚が150nmのSiN膜37を堆積し、さらに、CVD法によりSiN膜37の上面上に第2のSiO₂膜を堆積する。

【0029】次に、第2の工程において、第2のSiO₂膜上に所定パターンのマスクを形成する。そして、RIEによって第2のSiO₂膜、SiN膜37、第1のSiO₂膜36をエッチングして、トレンチ形成用開口25を素子分離領域38に形成する。その後、トレンチ形成用開口25が形成されたマスクに用いてRIEによりSi基板21をエッチングし素子分離用のトレンチ27を形成して、素子形成領域39を区画形成する。

【0030】次に、第3の工程において、SiO₂系の等方性エッチングを行い、第2のSiO₂膜をエッチングすると共に、Si基板21とSiN膜37に挟まれトレンチ39の内周縁部分に端面が露出する第1のSiO₂膜36を、熱酸化膜エッチング量換算で後述する第3のSiO₂膜40の膜厚寸法の50%以上、例えば45nm相当のエッチングを行い、45nmの深さXまで第1のSiO₂膜36をサイドエッチングする。これによりトレンチ27の周縁に形成されたサイドエッチング部分29にSi基板21の上面21aが一部露出する。

【0031】次に、第4の工程において、熱酸化法によりトレンチ27の内側壁面に第1のSiO₂膜36の膜厚さよりも1nm以上厚い、例えば膜厚が30nmの第3のSiO₂膜40を形成する。これによりサイドエッチング部分29にも、その内奥部位に膜厚が30nmの第3のSiO₂膜40が、Si基板21の上面21aのトレンチ27隣接部分に鏝状部40aとして面方向に張り出すように形成される。

【0032】次に、図9に示す第5の工程において、第3のSiO₂膜40が形成されたトレンチ27内を、素子分離を行うための絶縁膜として第4のSiO₂膜31をCVD法により堆積させて埋め尽くす。その後、SiN膜37をストップ膜としたCMP技術を用いて第4のSiO₂膜31、第2のSiO₂膜をSiN膜37の上面が露出するまで研磨し、素子分離領域38のトレンチ27部分における第4のSiO₂膜31のSi基板21の上面21aに対する高さが所要高さとなるよう調整する。

【0033】次に、図10に示す第6の工程において、

エッチング速度がSiO₂膜に対しては非常に遅く、SiN膜に対しては非常に早いエッチング技術、例えばCDEあるいは加熱したH₃PO₄によるウェットエッチング等を用いて第1のSiO₂膜36上のSiN膜37を除去する。このSiN膜37の除去後においても、Si基板21の内方部分上面21aに第1のSiO₂膜36が残存すると共に、トレンチ27周縁のサイドエッチング部分29の内奥部位に形成した第3のSiO₂膜40の鏝状部40aも残存したままとする。

【0034】そして、素子形成領域39のSi基板21の上部に、第1のSiO₂膜36を介し、例えばN型MOSFETではボロン、P型MOSFETではリンの所定のイオンを低加速度電圧によってイオン注入し、所定不純物濃度の素子形成領域39を形成する。これにより、トランジスタの活性化領域である素子形成領域39と素子分離領域38のトレンチ27部分とが接する素子形成領域39の周縁端部分において、不純物濃度プロファイルのピークがSi基板21の上面方向にシフトしたものとなる。

【0035】その後、第7の工程において、第1のSiO₂膜36をエッチングにより除去し、新たに熱酸化によってゲート酸化膜を活性化領域である素子形成領域39のSi基板21の露出した表面に形成する。さらにドレインを形成し、またゲートポリシリコン膜等を積層することによりMOSFETを形成する。

【0036】そして、上記のようにして製造されたMOSFETでは、第1の実施形態と同様に、素子分離領域38のトレンチ27部分に接する素子形成領域39の周縁端部分で、不純物濃度のピークがSi基板21の上面側に存在し、形成されるトランジスタのゲート電圧の閾値が上昇したものとなるので、素子形成領域28の中央部側に比較して、周縁端部分のゲート電圧の閾値が高いものとなる。

【0037】この結果、本実施形態においても第1の実施形態と同様の効果を得ることができる。

【0038】

【発明の効果】以上の説明から明らかなように、本発明によれば、装置の微細化等を行った場合においてもトランジスタのゲート電圧の閾値の低下を抑制することができ、またゲート電圧の閾値のばらつきも少なくすることができて、所要の特性を得ることが比較的困難なものではなくなる等の効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における第1の工程を示す要部の断面図である。

【図2】本発明の第1の実施形態における第2の工程を示す要部の断面図である。

【図3】本発明の第1の実施形態における第3の工程を示す要部の断面図である。

【図4】本発明の第1の実施形態における第4の工程を

示す要部の断面図である。

【図5】本発明の第1の実施形態における第5の工程を示す要部の断面図である。

【図6】本発明の第1の実施形態における第6の工程を示す要部の断面図である。

【図7】本発明の第1の実施形態における第7の工程を示す要部の断面図である。

【図8】本発明の第1の実施形態における第8の工程を示す要部の断面図である。

【図9】本発明の第2の実施形態における第5の工程を示す要部の断面図である。

【図10】本発明の第2の実施形態における第6の工程を示す要部の断面図である。

【図11】従来技術における第1の工程を示す要部の断面図である。

【図12】従来技術における第2の工程を示す要部の断面図である。

【図13】従来技術における第3の工程を示す要部の断面図である。

【図14】従来技術における第4の工程を示す要部の断

面図である。

【図15】従来技術における第5の工程を示す要部の断面図である。

【図16】従来技術に係る拡大して示す部分断面図である。

【符号の説明】

21…Si基板

21a…上面

22, 36…第1のSiO₂膜

23, 37…SiN膜

24…第2のSiO₂膜

25…トレンチ形成用開口

26, 38…素子分離領域

27…トレンチ

28, 39…素子形成領域

30, 40…第3のSiO₂膜

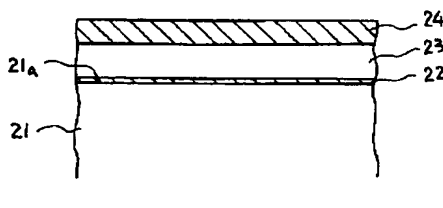
30a, 30b, 40a…鏽状部

31…第4のSiO₂膜

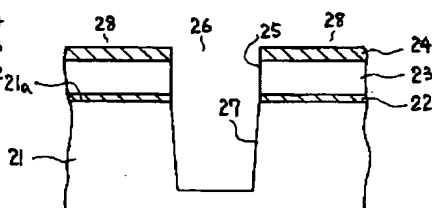
32…第5のSiO₂膜

33…周縁端部分

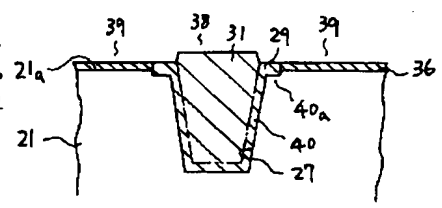
【図1】



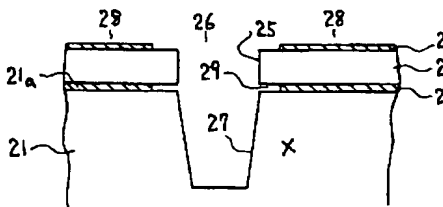
【図2】



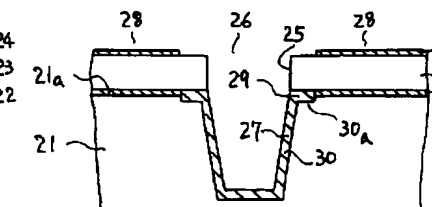
【図10】



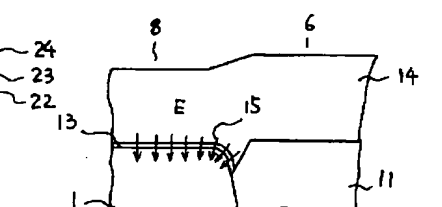
【図3】



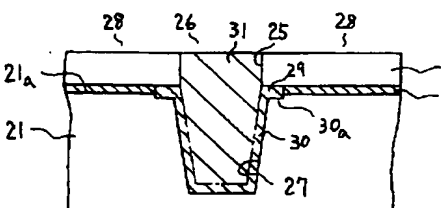
【図4】



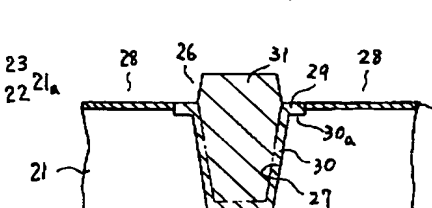
【図16】



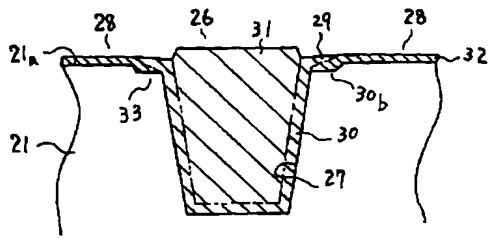
【図5】



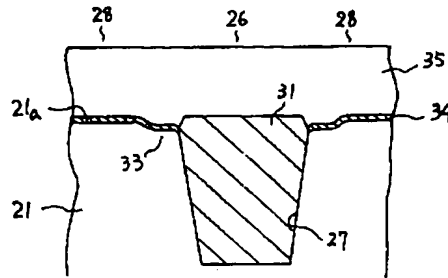
【図6】



【図7】



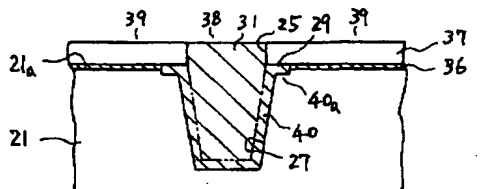
【図8】



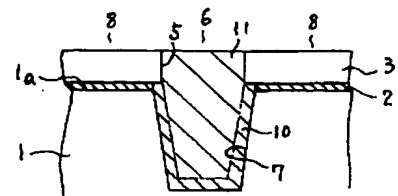
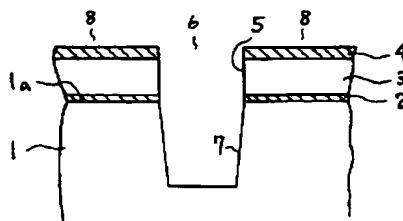
21…Si基板 26…素子分離領域 27…トレンチ
28…素子形成領域 30…第3のSiO₂膜 30b…鍮状部
31…第4のSiO₂膜 32…第5のSiO₂膜 33…周縁増部分

【図13】

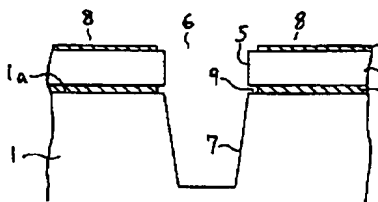
【図9】



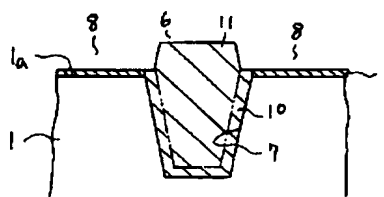
【図11】



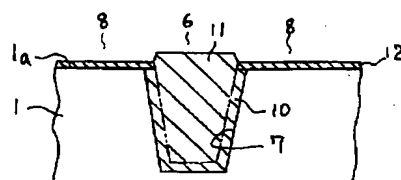
【図12】



【図14】



【図15】



フロントページの続き

Fターム(参考) 5F032 AA36 AA44 AA75 AA77 AA84
BA03 BB06 CA17 DA23 DA24
DA26 DA27 DA28 DA30 DA33
DA53 DA60 DA78
5F040 DA06 DB01 ED09 EK05 FA02
FC02 FC21 FC22 FC23
5F048 AA01 AA04 AA07 AC01 BA01
BB05 BB14 BG14